

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of :
Young-Goo Lee et al. :
Serial No.: [NEW] : Attn: Applications Branch
Filed: December 28, 2001 : Attorney Docket No.: SEC.875



For: METHOD OF FABRICATING SEMICONDUCTOR DEVICE FOR PREVENTING
CONTAMINATING PARTICLE GENERATION

CLAIM OF PRIORITY

Honorable Assistant Commissioner for Patents and Trademarks,
Washington, D.C. 20231

Sir:

Applicants, in the above-identified application, hereby claim the priority date
under the International Convention of the following Korean application:

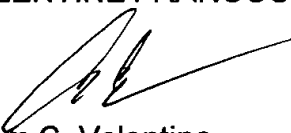
Appln. No. 2001-2218 filed January 15, 2001

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, PLLC



Adam C. Volentine
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870
Fax. (703) 715-0877

Date: December 28, 2001

3/ Priority
1/ Special
4-19

J1046 U.S. PRO
10/029147
12/28/01

대한민국 특허청
KOREAN INDUSTRIAL
PROPERTY OFFICE

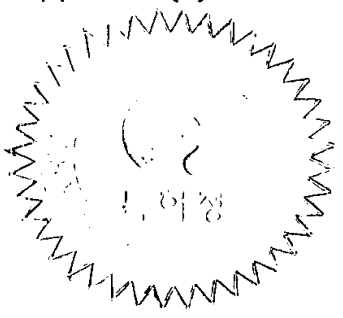
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원번호 : 특허출원 2001년 제 2218 호
Application Number

출원년월일 : 2001년 01월 15일
Date of Application

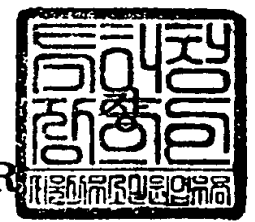
출원인 : 삼성전자 주식회사
Applicant(s)



2001 02 02
 년 월 일

특 허 청

COMMISSIONER



【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【제출일자】 2001.01.15
【발명의 명칭】 파티클 발생의 억제가 가능한 반도체 장치의 제조방법
【발명의 영문명칭】 SEMICONDUCTOR MANUFACTURING METHOD FOR REDUCING PARTICLE
【출원인】
【명칭】 삼성전자 주식회사
【출원인코드】 1-1998-104271-3
【대리인】
【성명】 박영우
【대리인코드】 9-1998-000230-2
【포괄위임등록번호】 1999-030203-7
【발명자】
【성명의 국문표기】 이영구
【성명의 영문표기】 LEE,Young Goo
【주민등록번호】 670605-1047911
【우편번호】 449-908
【주소】 경기도 용인시 기흥읍 영덕리 15번지 신일아파트 102동 501호
【국적】 KR
【발명자】
【성명의 국문표기】 김태룡
【성명의 영문표기】 KIM,Tae Ryong
【주민등록번호】 590722-1674615
【우편번호】 442-805
【주소】 경기도 수원시 팔달구 매탄1동 897번지 주공5단지아파트 519동 907호
【국적】 KR
【발명자】
【성명의 국문표기】 김진성
【성명의 영문표기】 KIM,Jin Sung
【주민등록번호】 630208-1226419

【우편번호】

442-813

【주소】

경기도 수원시 팔달구 영통동 989-2 살구골현대아파트 72동 1204호

【국적】

KR

【발명자】

【성명의 국문표기】

김진주

【성명의 영문표기】

KIM, Jin Joo

【주민등록번호】

690527-1460417

【우편번호】

135-270

【주소】

서울특별시 강남구 도곡동 464번지 개포한신아파트 4동 302호

【국적】

KR

【발명자】

【성명의 국문표기】

안정수

【성명의 영문표기】

AN, Jung Soo

【주민등록번호】

640114-1030219

【우편번호】

449-903

【주소】

경기도 용인시 기흥읍 구갈리 한양아파트 103동 105호

【국적】

KR

【발명자】

【성명의 국문표기】

송종국

【성명의 영문표기】

SONG, Jong Kook

【주민등록번호】

661220-1912941

【우편번호】

440-320

【주소】

경기도 수원시 장안구 율전동 419번지 삼성아파트 204동 1702호

【국적】

KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박영우 (인)

【수수료】

【기본출원료】

17 면 29,000 원

【가산출원료】

0 면 0 원

【우선권주장료】	0	건	0	원
- 【심사청구료】	9	항	397,000	원
【합계】	426,000		원	
【첨부서류】	1.	요약서·명세서(도면)_1통		

【요약서】**【요약】**

본 발명은 반도체 장치의 제조방법에 관한 것으로서, 특히 본 발명의 방법은 웨이퍼 상에 소정 두께의 층을 퇴적시키고, 상기 퇴적된 층의 표면을 CMP 공정으로 평탄화시킨다. 이어서, 웨이퍼 상에 포토 레지스트를 도포하고, 상기 웨이퍼의 전면 에지부 상에 도포된 포토 레지스트를 제거하여 전면 에지부의 상기 CMP 공정 시에 제거되지 않은 사각부의 퇴적된 층을 노출시키고, 상기 노출된 사각부의 퇴적층을 식각하고, 상기 웨이퍼 상에 남겨진 포토 레지스트를 제거한다. 따라서, 본 발명에서는 퇴적층의 CMP 공정에 의한 표면 평탄화 공정 이후에 에지부의 사각부에 제거되지 않은 퇴적층의 두께를 얇게 하거나 제거함으로써 후속 공정에서 발생하는 파티클의 발생을 억제할 수 있어서 수율을 향상시킬 수 있다.

【대표도】

도 6

【명세서】

【발명의 명칭】

반도체 장치의 파티클 발생의 억제가 가능한 반도체 장치의 제조방법{SEMICONDUCTOR MANUFACTURING METHOD FOR REDUCING PARTICLE}

【도면의 간단한 설명】

도 1 내지 도 3은 종래 기술에 의한 반도체 장치의 제조방법을 설명하기 위한 도면

이다.

도 4 내지 도 7은 본 발명에 의한 반도체 장치의 제조방법의 바람직한 일 실시예를 설명하기 위한 도면들.

도 8 내지 도 11은 본 발명에 의한 반도체 장치의 제조방법의 바람직한 다른 실시예를 설명하기 위한 도면들.

도 12는 본 발명과 종래 기술을 비교하기 위한 파티클 맵도.

<도면의 주요부분에 대한 부호의 설명>

10 : 웨이퍼 20 : 퇴적층

22 : CMP 가공면 24 : 사각부

26 : 웨이퍼 전면 패턴 28 : 콘

30 : 포토 레지스트 40 : CMP 전 퇴적층 패턴

50 : CMP 처리된 퇴적층 60 : CMP 처리된 퇴적층 패턴

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<11> 본 발명은 반도체 장치의 제조방법에 관한 것으로서, 특히 CMP(CHEMICAL MECHANICAL POLISHING) 공정 이후의 후속공정 시 웨이퍼의 에지부의 CMP 사각부에 잔존하는 두꺼운 퇴적층에 의한 파티클 유발을 현저하게 억제할 수 있어서 수율을 향상시킬 수 있는 반도체 장치의 제조방법에 관한 것이다.

<12> 반도체 소자의 고기능화 고집적화 됨에 따라 패턴이 미세화되고 있으며, 이에 따른 새로운 기술과 공정이 계속적으로 도입되고 있다. CMP 공정, 패드 폴리 공정의 도입으로 실리콘 옥사이드의 평탄도 개선, 고집적화가 가능하여졌으나, 부수적으로 다른 문제점들이 부각되고 있다.

<13> CMP 공정의 도입으로 슬러리에서 기인된 미세 스크래치 및 파티클 발생의 문제점과, 폴리 패드 사용에 따른 희생 산화막 식각공정의 적용으로 흐름성 파티클 발생의 문제점이 그 중 하나이다.

<14> 고집적된 디바이스에서 고질적으로 나오는 문제 가운데 그 하나는 파티클 제어이다. 발생 원인이 불명인 다양한 파티클의 발생으로 수율을 저하시키고 있으며, 라인 모니터링 시 스펙 아웃(SPEC-OUT)의 주요 원인이 되고 있다.

<15> 이와 같은 파티클은 정확한 소스의 확인이 어려울 뿐만 아니라 여러 공정의 스플릿 테스트(SPLIT TEST) 결과를 통해서도 유의차가 나지 않아 고질적인 문제로 대두되고 있다. 분명한 것은 웨이퍼의 에지부에서 패턴 내로 파티클이 움직이는 현상을 보이고 있

으며, 파티클의 주성분은 Si, SiO₂ 계열이라는 것이다.

<16> 그러나, 소스규명에 대해서는 너무 광범위하다. 반도체에서 사용되는 대부분의 부품들이 Si 이나 SiO₂계열이기 때문에 추정하기가 쉽지 않다.

<17> 습식 배스(WET BATH)에서 사용되는 석영 재질의 배스 및 로버트 암과, 확산공정에서 사용되는 석영재질의 튜브 및 보우트와, 건식식각공정에서 사용되는 석영 또는 실리콘 재질의 포커스 링, 새도우 링 및 샤우어 헤드와, CMP 공정에서 폴리싱 소스로 사용되는 슬러리와, CVD(CHEMICAL VAPOR DEPOSITION)/LPCVD(LOW PRESSURE CHEMICAL VAPOR DEPOSITION) 공정에서 만들어지는 각종 파워 등, 대부분의 것들이 Si 또는 SiO₂의 소스로 웨이퍼 에지에서 기인될 수 있는 모든 가능성을 가지고 있다.

<18> 또한, 웨이퍼 자체도 Si, SiO₂, SiN으로 형성되어 있어 자체적인 소스가 될 수 있으며, 스크래치(SCRATCH)나 칩핑(CHIPPING) 등에 의해서도 문제를 발생할 충분한 가능성이 있다.

<19> 정체불명의 파티클의 정확한 소스를 확인하여 근본적으로 문제를 해결할 수 있는 방안이 필요하며, 그로 인해 양질의 웨이퍼를 생산할 수 있도록 제어하는 방법이 절대적으로 요구되고 있다.

【발명이 이루고자 하는 기술적 과제】

<20> 본 발명의 목적은 이와 같은 종래 기술의 문제점을 해결하기 위하여 웨이퍼의 전면 에지부의 CMP 사각부에 잔존하는 퇴적층의 두께를 최소화함으로써 후속공정의 파티클 발생을 억제하여 수율을 향상시킬 수 있는 반도체 장치의 제조방법을 제공하는 데 있다.

【발명의 구성 및 작용】

<21> 상기한 본 발명의 목적을 달성하기 위하여 본 발명의 제 1 방법은 웨이퍼 상에 소정 두께의 층을 퇴적시키는 단계와, 상기 퇴적된 층의 표면을 CMP 공정으로 평탄화시키는 단계와, 상기 웨이퍼 상에 포토 레지스트를 도포하는 단계와, 상기 웨이퍼의 전면 에지부에 도포된 포토 레지스트를 제거하여 전면 에지부의 상기 CMP 공정 시에 제거되지 않은 사각부의 퇴적된 층을 노출시키는 단계와, 상기 노출된 사각부의 퇴적층을 식각하는 단계와, 상기 웨이퍼 상에 남겨진 포토 레지스트를 제거하는 단계를 구비한 것을 특징으로 한다.

<22> 본 발명의 제 2 방법은 웨이퍼 상에 퇴적층을 형성하는 단계와, 상기 퇴적층 상에 포토 레지스트를 도포하는 단계와, 상기 웨이퍼의 전면 에지부에 도포된 포토 레지스트를 제거하여 전면 에지부의 상기 CMP 공정 시에 제거되지 않은 사각부의 퇴적된 층을 노출시키는 단계와, 상기 노출된 사각부의 퇴적층을 CMP 공정에 의해 식각되는 층의 두께 이하로 식각하는 단계와, 상기 웨이퍼 상에 남겨진 포토 레지스트를 제거하는 단계와, 상기 에지부가 식각된 퇴적층의 표면을 CMP 공정으로 식각하는 단계를 구비한 것을 특징으로 한다.

<23> 이하, 첨부한 도면을 참조하여, 본 발명의 일 실시예를 통해 본 발명을 보다 상세하게 설명하고자 한다.

<24> CMP 공정은 막질의 평탄도를 달성하기 위하여 기계적, 화학적 방식을 이용하여 웨이퍼에 적층되어 있는 막질의 단차를 슬러리를 매개로 하여 갈아내는 것으로 집적도를 달성하기 위해 많이 사용되고 있다.

- <25> CMP에서 갈아내는 막질은 CVD 방식에 의해 데포되는 데 웨이퍼 배면을 제외한 나머지 부분에 화학적인 반응에 의해서 원하는 두께의 막질이 자라는 방식을 취하고 있다.
- <26> 양면에 모두 데포되는 LPCVD 방식을 제외하고는 일반적인 CVD 방식은 웨이퍼 전면 에 막질이 데포되고, 설비 구조에 따라 웨이퍼 에지 사각부와 배면 에지부에 막질이 부착되는 정도가 다르게 나타나게 된다. 배면 에지부의 막질 데포 및 온도제어를 위해서 배면에 N₂ 플로워 방식을 채택하여 사용하는 시스템이 있기도 하다.
- <27> 그러나, 설비 구조상 웨이퍼 전면의 사각부에 막질이 부착되는 것은 필연적이다.
- <28> 도 1에 도시한 바와 같이, 일반적으로 막질이 데포되면 기류의 흐름 특성상 웨이퍼 (20)의 전면 사각부에 OXIDE와 같은 퇴적층(20)의 성장이 더 잘되는 현상이 나타난다.
- <29> 도 2에 도시한 바와 같이 웨이퍼를 평탄화하기 위해 CMP 공정을 적용하게 되는 데, 공정 특성상 전면은 고루게 깎여 나가나 사각부(24)는 웨이퍼의 굴곡이 있는 부분으로 전혀 깎여 나가지 못하게 되며, 상대적으로 전면에 비해 두껍게 남게된다. 더구나, CMP 공정의 사각부(24)에 슬러리가 누적되어 파티클 발생의 가능성은 더욱 커지게 된다.
- <30> CMP 공정 후에는 웨이퍼 전면의 CMP 가공면(22)과 사각부(24)의 막질 두께 차이는 더욱 커지게 된다.
- <31> CMP 가공면에 패턴 형성을 위해서 포토공정과 건식식각공정을 적용한다. 이 때, 일반적으로 웨이퍼의 에지부에는 EEW(EDGE EXPOSE WAFER)를 실시하기 때문에 노출된 에지부의 막질이 제거되기 마련이나, 도 3에 도시한 바와 같이 CMP 공정 후에는 사각부의 막질 두께가 더 두껍기 때문에 건식식각 후에도 사각부의 막질(26)이 잔존하게 된다. 이는 전면 패턴(20)의 막질 두께를 고려하여 건식식각하기 때문에 사각부의 막질이 완전 제

거되지 않고 남게 되는 것이다.

<32> 특히, 웨이퍼 전면 에지부에서 막질이 제거되는 부분과 잔존하는 부분의 경계면에는 군집형 콘(CONE)(28)이 발생하게 된다. 이렇게 발생한 군집형 콘(28)은 Si, SiO₂ 계열의 파티클로서 막질 데포와 건식식각이 반복되면서 콘(28)의 발생영역이 점점 커지게 된다.

<33> 결국 사각부에 발생되어 있는 콘(28)은 습식 세척공정을 통해 웨이퍼 전면의 패턴 내로 이동하게 된다(도 3의 화살표 방향). 특히, HF 공정에 취약하여 전처리 공정에 HF 공정을 포함하게 되면 사각부의 막질이 뜯겨지면서 화학적 플로우를 따라 패턴 내로 다량의 콘(28)이 전사된다. 전사된 콘(28)은 후속공정인 막질 데포에 의해 구형의 파티클로 커지면서 변화되고, 이전 스텝 파티클이 급격히 증가되는 양상을 나타내게 된다.

<34> 이러한 문제의 근본적인 원인은 CMP 공정에 의해서 사각부와 전면의 CMP 가공면의 두께의 차이를 유발하여 건식식각시 사각부의 막질 잔유물을 유발하는 데 있다. 따라서, 해결방안으로는 CMP 공정 전 또는 후에, 사각부의 막질을 미리 제거하면 문제를 사전에 예방할 수 있다.

<35> 도 4 내지 도 7은 본 발명에 의한 반도체 장치의 제조방법의 바람직한 일 실시예를 설명한다.

<36> 웨이퍼(10) 상에 퇴적층(20)을 도 4에 도시한 바와 같이 형성하고, 퇴적층(20) 상에 포토 레지스트(30)를 약 5,000~15,000Å 두께로 도 5에 도시한 바와 같이 도포하고 EEW공정을 거쳐서 에지부분을 오픈시킨다.

<37> 도 6에 도시한 바와 같이, 오픈된 에지부분에 노출된 퇴적층을 습식식각방법으로

제거하여 CMP 공정 이전에 CMP 사각부의 퇴적층을 깎아 내버리고, 웨이퍼 전면에만 CMP 처리 이전의 퇴적층 패턴(40)을 남긴다. 이 때, 습식식각의 식각 목표량은 5,000~15,000 Å 정도로 한다.

<38> 이어서, 포토레지스트(30)을 스트립시켜서 도 7에 도시한 바와 같이 CMP 처리 이전의 퇴적층 패턴(40)만을 남긴다. 도 7의 상태에서 CMP 공정을 진행하여 퇴적층 패턴(40)의 표면을 평탄하게 가공한다.

<39> 그러므로, CMP 공정 이후에 웨이퍼 에지부에 종래의 두꺼운 퇴적층 잔유물이 남지 않게 되므로 후속 공정에서의 파티클 발생을 제어할 수 있게 된다.

<40> 도 8 내지 도 11은 본 발명에 의한 반도체 장치의 제조방법의 바람직한 다른 실시 예를 설명한다.

<41> 웨이퍼(10) 상에 퇴적층(20)을 도 4에 도시한 바와 같이 형성하고, CMP 공정을 진행하여 퇴적층의 표면을 평탄하게 가공하여 CMP 처리된 퇴적층(50)을 형성한다. 도 9에 도시한 바와 같이, CMP 처리된 퇴적층(50)은 웨이퍼 에지부의 CMP 사각부의 두께가 전면의 두께보다 두껍게 남게 된다.

<42> CMP 처리된 퇴적층(50) 상에 포토 레지스트(30)를 약 5,000~15,000 Å 두께로 도 10에 도시한 바와 같이 도포하고 EEW공정을 거쳐서 에지부분을 오픈시킨다.

<43> 도 10에 도시한 바와 같이, 오픈된 에지부분에 노출된 퇴적층을 습식식각방법으로 제거하여 CMP 공정 이후에 CMP 사각부의 퇴적층을 깎아 내버리고, 웨이퍼 전면에만 CMP 처리된 퇴적층 패턴(60)을 남긴다. 이 때, 습식식각의 식각 목표량은 사각부의 퇴적층 잔유물이 완전히 제거될 정도로 5,000~15,000 Å 정도로 한다.

<44> 이어서, 포토레지스트(30)을 아싱(ASING)공정 없이 스트립시켜서 도 11에 도시한 바와 같이 CMP 처리된 퇴적층 패턴(60)만을 남긴다.

<45> 그러므로, CMP 공정 이후에 웨이퍼 에지부에 종래의 두꺼운 퇴적층 잔유물이 남지 않게 되므로 후속 공정에서의 파티클 발생을 제어할 수 있게 된다.

<46> 상술한 일 실시예 및 다른 실시예에 의해 CMP 공정 이전 또는 이후에 웨이퍼 에지부의 CMP 사각부에 두꺼운 퇴적층 잔유물이 남지 않도록 미리 제거함으로써 후속 공정에서의 파티클 발생을 제어함으로써 도 12의 파티클 맵도에 도시한 바와 같이 종래 방식에 비하여 파티클이 현저하게 감소되는 것이 관찰된다. 즉, 웨이퍼 에지부의 사각부를 CMP 공정의 전 또는 후로 제거한 경우(좌측 웨이퍼)에는 그렇지 않은 경우(우측 웨이퍼)에 비하여 웨이퍼 에지부로부터 중앙부로 전사되는 파티클의 수가 현저하게 줄었음을 알 수 있다.

<47> 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【발명의 효과】

<48> 이상, 설명한 바와 같이 본 발명에서는 CMP 공정 전 또는 후에 EEW 공정을 이용하여 에지부의 CMP 사각부의 퇴적층 잔유물을 미리 제거한 후에 후속공정을 진행하게 됨으로써 파티클의 발생을 현저하게 줄일 수 있어서 파티클에 의한 수율저하를 막을 수 있어서 생산성 향상에 크게 기여할 수 있다.

【특허청구범위】**【청구항 1】**

웨이퍼 상에 소정 두께의 층을 퇴적시키는 단계;

상기 퇴적된 층의 표면을 CMP 공정으로 평탄화시키는 단계;

상기 웨이퍼 상에 포토 레지스트를 도포하는 단계;

상기 웨이퍼의 전면 에지부 상에 도포된 포토 레지스트를 제거하여 전면 에지부의
상기 CMP 공정 시에 제거되지 않은 사각부의 퇴적된 층을 노출시키는 단계;

상기 노출된 사각부의 퇴적층을 식각하는 단계;

상기 웨이퍼 상에 남겨진 포토 레지스트를 제거하는 단계를 구비한 것을 특징으로
하는 파티클 발생의 억제가 가능한 반도체 장치의 제조방법.

【청구항 2】

제 1 항에 있어서, 상기 포토 레지스트의 두께는 약 5,000~15,000Å 인 것을 특징
으로 하는 파티클 발생의 억제가 가능한 반도체 장치의 제조방법.

【청구항 3】

제 1 항에 있어서, 상기 노출된 사각부의 퇴적층의 식각은 습식식각인 것을 특징으
로 하는 파티클 발생의 억제가 가능한 반도체 장치의 제조방법.

【청구항 4】

제 3 항에 있어서, 상기 습식식각의 식각 목표량은 5,000~15,000Å 정도인 것을 특
징으로 하는 파티클 발생의 억제가 가능한 반도체 장치의 제조방법.

【청구항 5】

제 1 항에 있어서, 상기 포토 레지스트의 제거는 아싱(ASHING)이 없는 스트립 공정인 것을 특징으로 하는 파티클 발생의 억제가 가능한 반도체 장치의 제조방법.

【청구항 6】

웨이퍼 상에 퇴적층을 형성하는 단계;

상기 퇴적층 상에 포토 레지스트를 도포하는 단계;

상기 웨이퍼의 전면 에지부 상에 도포된 포토 레지스트를 제거하여 전면 에지부의 상기 CMP 공정 시에 제거되지 않은 사각부의 퇴적된 층을 노출시키는 단계;

상기 노출된 사각부의 퇴적층을 CMP 공정에 의해 식각되는 층의 두께 이하로 식각하는 단계;

상기 웨이퍼 상에 남겨진 포토 레지스트를 제거하는 단계;

상기 에지부가 식각된 퇴적층의 표면을 CMP 공정으로 식각하는 단계를 구비한 것을 특징으로 하는 파티클 발생의 억제가 가능한 반도체 장치의 제조방법.

【청구항 7】

제 6 항에 있어서, 상기 포토 레지스트의 두께는 약 5,000~15,000 Å 인 것을 특징으로 하는 파티클 발생의 억제가 가능한 반도체 장치의 제조방법.

【청구항 8】

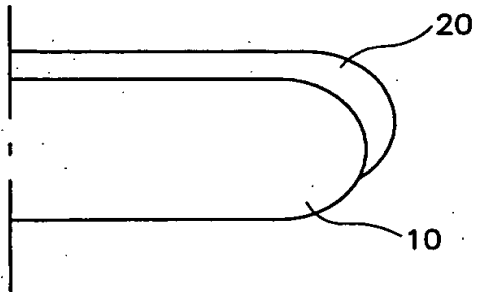
제 6 항에 있어서, 상기 노출된 사각부의 퇴적층의 식각은 습식식각인 것을 특징으로 하는 파티클 발생의 억제가 가능한 반도체 장치의 제조방법.

【청구항 9】

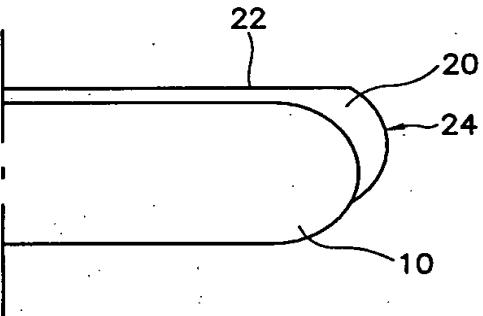
제 8 항에 있어서, 상기 습식식각의 식각 목표량은 5,000~15,000Å 정도인 것을 특징으로 하는 파티클 발생의 억제가 가능한 반도체 장치의 제조방법.

【도면】

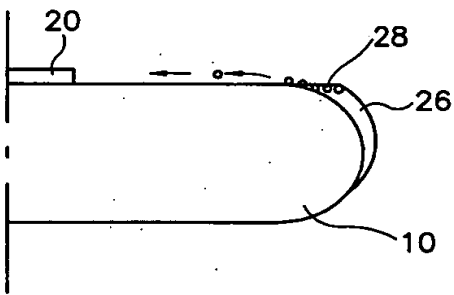
【도 1】



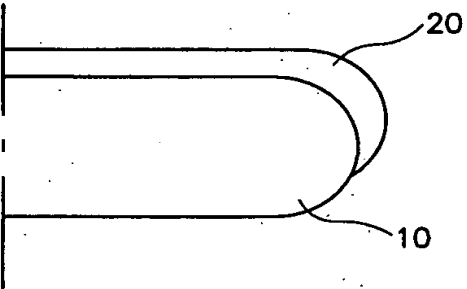
【도 2】



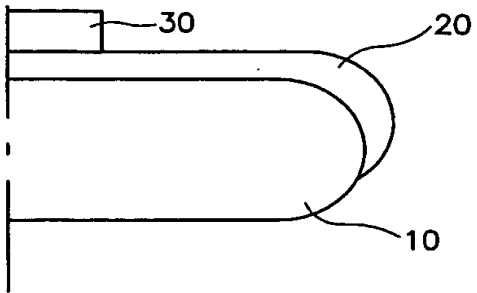
【도 3】



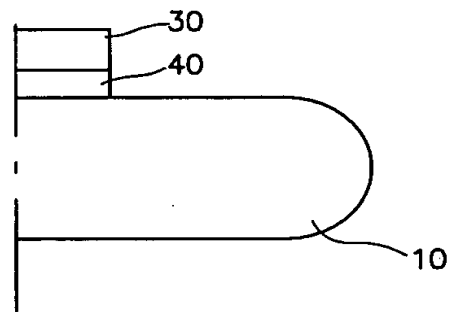
【도 4】



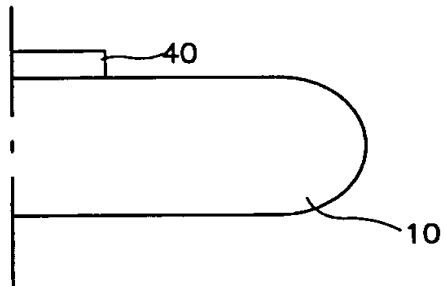
【도 5】



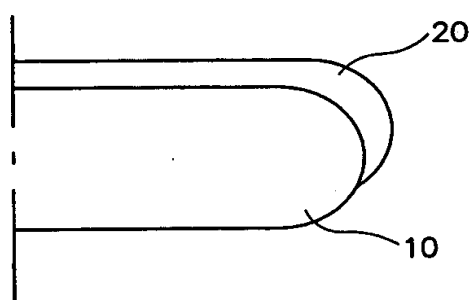
【도 6】



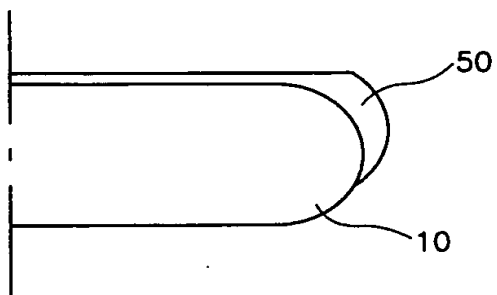
【도 7】



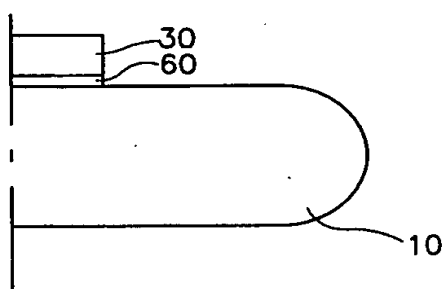
【도 8】



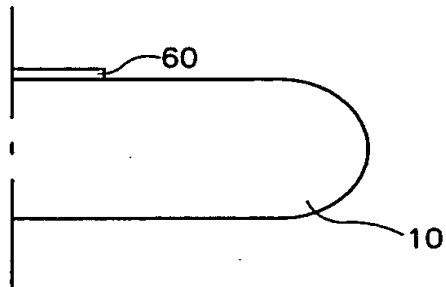
【도 9】



【도 10】



【도 11】



【도 12】

